

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-163717

(P2000-163717A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) IntCl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 1 1 B 5/39		G 1 1 B 5/39	5 D 0 3 4
H 0 1 F 10/32		H 0 1 F 10/08	A 5 E 0 4 9
H 0 1 L 43/08		H 0 1 L 43/08	Z

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21) 出願番号 特願平10-332226

(22) 出願日 平成10年11月24日 (1998. 11. 24)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 岸 均

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 清水 豊

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 100072833

弁理士 柏谷 昭司 (外2名)

最終頁に続く

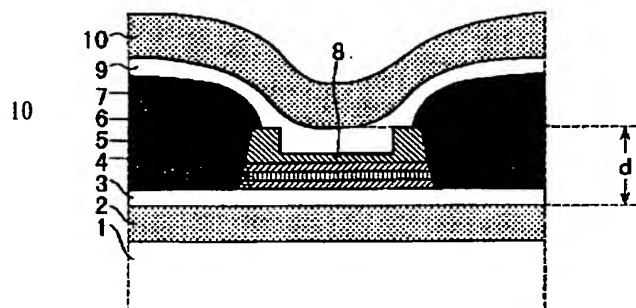
(54) 【発明の名称】 磁気抵抗効果素子

(57) 【要約】

【課題】 磁気抵抗効果素子に関し、素子特性を劣化させることなく、リードギャップを狭ギャップ化する。

【解決手段】 少なくとも1層の反強磁性体層7を有し、任意の形状にパターニングされた磁気抵抗効果膜4～7、及び、リードギャップ層3、9を介してこの磁気抵抗効果膜4～7の上下に設けた磁気シールド層2、10からなる磁気抵抗効果素子を構成する少なくとも1層の反強磁性体層7の一部に厚さが他の部分と異なる肉薄部8を設ける。

本発明の原理的構成の説明図



- |              |              |
|--------------|--------------|
| 1 : 基板       | 6 : ビンド層     |
| 2 : 磁気シールド層  | 7 : 反強磁性体層   |
| 3 : リードギャップ層 | 8 : 肉薄部      |
| 4 : フリー層     | 9 : リードギャップ層 |
| 5 : 非磁性層     | 10 : 磁気シールド層 |

1

## 【特許請求の範囲】

【請求項1】 少なくとも1層の反強磁性体層を有し、任意の形状にパターンニングされた磁気抵抗効果膜、及び、リードギャップ層を介して前記磁気抵抗効果膜の上下に設けた磁気シールド層からなる磁気抵抗効果素子において、前記少なくとも1層の反強磁性体層の一部に厚さが他の部分と異なる肉薄部を設けたことを特徴とする磁気抵抗効果素子。

【請求項2】 上記肉薄部が、磁気抵抗効果素子の信号読み取りに関与する部分に設けられたことを特徴とする請求項1記載の磁気抵抗効果素子。 10

【請求項3】 上記磁気抵抗効果膜が、1層以上の磁性膜からなるフリー層、非磁性層、1層以上の磁性膜からなるピン層、及び、反強磁性体層を順次積層させた構造となっていることを特徴とする請求項2記載の磁気抵抗効果素子。

【請求項4】 上記磁気抵抗効果膜が、反強磁性体層、1層以上の磁性膜からなるピン層、非磁性層、1層以上の磁性膜からなるフリー層、非磁性層、1層以上の磁性膜からなるピン層、及び、反強磁性体層を順次積層させた構造となっていることを特徴とする請求項2記載の磁気抵抗効果素子。 20

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は磁気抵抗効果素子に関するものであり、特に、ハードディスクドライブ(HDD)等の磁気記録装置のリードヘッドに用いるスピンバルブ膜の薄層化のための構造に特徴のある磁気抵抗効果素子に関するものである。

## 【0002】

【従来の技術】近年のハードディスク装置の小型化、大容量化の需要の高まりに伴い、高密度磁気記録が可能なハードディスク装置の研究開発が急速に進められており、そのため、磁気記録装置を構成するリードヘッド素子に対しても高感度化・微細化が求められており、高感度化の点において、低磁界で大きな出力が得られる巨大磁気抵抗(GMR)効果を使用した磁気センサが開発されている。

【0003】例えば、IBMにより「スピン・バルブ効果利用の磁気抵抗センサ(特開平4-358310号公報参照)」が提案されているが、この磁気センサは、非磁性金属層によって分離された2つの結合していない強磁性体層を備え、一方の強磁性体層にFeMnで代表される反強磁性体層を付着して強磁性体層の磁化Mが固定されているサンドイッチ構造となっており、記録媒体からの微小な磁界に対し高い磁気抵抗効果が得られるといった点において、従来のインダクティブヘッド若しくはAMR(Anisotropy Magneto-Resistance)膜より格段に優れており、高感度リードヘッド素子として用いられている。 40

2

【0004】この磁気センサにおいて、磁気記録媒体等から外部磁場が印加されると、磁化が固定されていない他方の強磁性体層、即ち、フリー(free)層の磁化方向が外部磁場に一致して自由に回転するため、磁化が固定された強磁性体層、即ち、ピン(pinned)層の磁化方向と角度差を生ずることになる。

【0005】この角度差に依存して伝導電子のスピンの依存した散乱が変化し、電気抵抗値が変化するので、この電気抵抗値の変化を定電流のセンス電流を流すことによって電圧値の変化として検出することによって、外部磁場の状況、即ち、磁気記録媒体からの信号磁場を取得するものであり、このスピンバルブ磁気抵抗センサの磁気抵抗変化率は約5%程度となる。

【0006】この様なスピンバルブ磁気抵抗センサの効率を高めるための、同じくIBMにより「二重スピン・バルブ磁気抵抗センサ(特開平6-223336号公報参照)」が提案されており、このデュアル(二重)スピンバルブ磁気抵抗センサは、フリー層を中心に対称的にスピンバルブ構造を積層したものであり、この構成によって約2倍の磁気抵抗変化を得ている。

【0007】特に、この様なデュアルスピンバルブ磁気抵抗センサの反強磁性体層として規則合金型であるPd・Pt・Mn合金を用いた場合(必要ならば、特願平8-257068号参照)には、従来の不規則合金型であるFeMnとは異なり、上下のどのピン層に対してもバイス磁界となる固定磁界を与えることができるため、信頼性の高いデュアル構造スピンバルブ磁気抵抗センサを容易に形成することができる。即ち、従来、反強磁性体層として用いて来たFeMnの場合には、fcc(面心立方晶)構造の膜の上に堆積した場合にしか反強磁性体とならないので、デュアルスピンバルブ磁気抵抗センサの上部ピン層として用いることができないという問題があった。

【0008】ここで、図7を参照して、従来のスピンバルブ素子及びデュアルスピンバルブ素子を簡単に説明する。

図7(a)参照

図7(a)は、従来のスピンバルブ素子の概略的要部断面図であり、まず、スライダの母体となる $Al_2O_3$ -TiC基板41上に、 $Al_2O_3$ 膜42を介してNiFe合金等からなる下部シールド層43を設け、次いで、 $Al_2O_3$ 等の下部リードギャップ層44を設けたのち、NiFe及びCoFeの積層構造等の強磁性層からなるフリー層45、非磁性層であるCu中間層46、CoFe等からなるピン層47、及び、PdPtMn等からなる反強磁性体層48を積層させて磁気抵抗効果素子となるスピンバルブ膜を形成する。

【0009】次いで、磁気抵抗効果素子を所定の形状にパターンニングしたのち、磁気抵抗効果素子の両端にW或いはAu等からなる導電膜を堆積させてリード電極49 50

3

とし、次いで、再び、 $Al_2O_3$ 等からなる上部リードギャップ層50を介してNiFe合金等からなる上部シールド層51を設けることにより、スピバルブ素子の基本構造が完成する。なお、この場合、第1の磁界を印加した状態で、フリー層45乃至反強磁性体層48を順次堆積させたのち、真空中で第1の磁界と直交する第2の磁界を印加した状態で熱処理を行って反強磁性体層48の磁化方向を決定することによって、磁気抵抗効果素子の基本構造を形成する。

【0010】このスピバルブ素子におけるリードギャップは、下部リードギャップ層43、フリー層45乃至反強磁性体層48、及び、上部リードギャップ層49の層厚を総計した間隔となる。

【0011】図7(b)参照

図7(b)は、従来のデュアルスピバルブ素子の概略的要部断面図であり、まず、スライダの母体となる $Al_2O_3-TiC$ 基板41上に、 $Al_2O_3$ 膜42を介してNiFe合金等からなる下部シールド層43を設け、次いで、 $Al_2O_3$ 等からなる下部リードギャップ層44を設けたのち、PdPtMn等の反強磁性体層52、CoFe等からなるピンド層53、Cu中間層54、NiFe及びCoFeの積層構造等のフリー層45、Cu中間層46、CoFe等からなるピンド層47、及び、PdPtMn等からなる反強磁性体層48を積層させて磁気抵抗効果素子となるデュアルスピバルブ膜を形成する。

【0012】次いで、磁気抵抗効果素子を所定の形状にパターニングしたのち、磁気抵抗効果素子の両端にW或いはAu等からなる導電膜を堆積させてリード電極49とし、次いで、再び、 $Al_2O_3$ 等からなる上部リードギャップ層50を介してNiFe合金等からなる上部シールド層51を設けることにより、デュアルスピバルブ素子の基本構造が完成する。なお、この場合も、第1の磁界を印加した状態で、反強磁性体層52乃至反強磁性体層48を順次堆積させたのち、真空中で第1の磁界と直交する第2の磁界を印加した状態で熱処理を行って反強磁性体層48、52の磁化方向を決定することによって、磁気抵抗効果素子の基本構造を形成する。

【0013】このデュアルスピバルブ素子におけるリードギャップは、下部リードギャップ層43、反強磁性体層52乃至反強磁性体層48、及び、上部リードギャップ層49の層厚を総計した間隔となる。

【0014】この様なスピバルブ素子においては、ピンド層47、53の磁化方向は、夫々反強磁性体層48、52の磁化方向に固定され、一方、フリー層45の磁化方向はピンド層47、53の磁化方向とほぼ直交した方向となり、1対のリード電極49間にセンス電流を流すことによって外部印加磁場、即ち、磁気記録媒体から漏れ出た磁場を測定するものである。

【0015】近年のコンピュータ用磁気記録ディスクの

4

記録容量は年間1.6倍ものスピードで高密度化が進んでおり、この様な高密度化によって微細化した記録ビットから十分な信号再生出力を得るためには、リードトラック幅となる磁気抵抗効果素子幅の微細加工技術の然ることながら、読み取り信号のビット長を決定するリードギャップの狭ギャップ化も非常に重要になってきているので、この事情を図8を参照して説明する。

【0016】図8参照

図8は、磁気記録媒体56に対する上下の磁気シールド層の間隔d、即ち、リードギャップと記録密度との関係の説明図であり、下部シールド層43と上部シールド層49とに挟持された磁気抵抗効果素子55は、対向する磁気記録媒体56に記録されたビット長 $L_b$ の記録ビット57を順次読み取ることになるが、リードギャップdが記録ビット57のビット長 $L_b$ に対して広くなりすぎると、読取対象の記録ビット57以外の隣接する記録ビット57の磁界の影響を受け、位置分解能が低下するので、読取対象の記録ビット57以外の隣接する記録ビット57の磁界が下部シールド層43及び上部シールド層49によって吸収されるように、リードギャップdは、ビット長 $L_b$ の2倍以下になるよう、即ち、 $d \leq 2L_b$ に調整されている。

【0017】

【発明が解決しようとする課題】しかし、近年のマルチメディア化の進展に伴い、磁気ディスク装置のさらなる高密度化が要請され、高密度化に伴って記録ビット57のビット長 $L_b$ がさらに微細化した場合には、リードギャップdもさらに狭くする必要が生じ、そのためには、下部リードギャップ層43及び上部リードギャップ層49を薄層化するか、或いは、磁気抵抗効果素子55自体を薄層化することが必要になる。

【0018】しかし、下部リードギャップ層43及び上部リードギャップ層49を薄層化した場合、リードギャップ層の絶縁耐圧が問題となり、リードギャップ層の薄膜化には限界がある。

【0019】一方、磁気抵抗効果素子55を薄層化する場合、相対的層厚が一番厚い反強磁性体層48、52の薄膜化が最も効果的ではあるが、反強磁性体層48、52の層厚を薄くすると、ピンド層47、53の磁化方向の固定力が弱くなり、素子特性の劣化、特に、磁場検出感度の低下が問題となる。

【0020】したがって、本発明は、素子特性を劣化させることなく、リードギャップを狭ギャップ化することを目的とする。

【0021】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。なお、図1は、スピバルブ素子の概略的要部断面図である。

図1参照

5

(1) 本発明は、少なくとも1層の反強磁性体層7を有し、任意の形状にパターンニングされた磁気抵抗効果膜4～7、及び、リードギャップ層3、9を介して磁気抵抗効果膜4～7の上下に設けた磁気シールド層2、10からなる磁気抵抗効果素子において、少なくとも1層の反強磁性体層7の一部に厚さが他の部分と異なる肉薄部8を設けたことを特徴とする。

【0022】この様に、少なくとも1層の反強磁性体層7の一部に厚さが他の部分と異なる肉薄部8を設けることによって、ピン層6に対する固定磁力を低減することなく、反強磁性体層7の厚さを実効的に薄くすることができる。

【0023】(2) また、本発明は、上記(1)において、肉薄部8が、磁気抵抗効果素子の信号読み取りに与する部分に設けたことを特徴とする。

【0024】この様に、肉薄部8を磁気抵抗効果素子の信号読み取りに与する部分に設けることによって、ピン層6に対する固定磁力を低減することなく、リードギャップdを狭くすることができ、それによって、高密度記録された磁気記録媒体からの読取感度を向上することができる。

【0025】(3) また、本発明は、上記(2)において、磁気抵抗効果膜4～7が、1層以上の磁性膜からなるフリー層4、非磁性層5、1層以上の磁性膜からなるピン層6、及び、反強磁性体層7を順次積層させた構造となっていることを特徴とする。

【0026】上記の(2)の構成は、磁気抵抗効果膜4～7が、1層以上の磁性膜からなるフリー層4、非磁性層5、1層以上の磁性膜からなるピン層6、及び、反強磁性体層7を順次積層させた構造からなるシングルスピ

ンバルブ素子に適用することによって、シングルスピ

ンバルブ素子の読取感度を向上することができる。なお、反強磁性体層7は、基板1側に設けても良いし、或いは、磁気抵抗効果膜4～7の最上部としても良いものである。

【0027】(4) また、本発明は、上記(2)において、磁気抵抗効果膜が、反強磁性体層、1層以上の磁性膜からなるピン層、非磁性層、1層以上の磁性膜からなるフリー層4、非磁性層5、1層以上の磁性膜からなるピン層6、及び、反強磁性体層7を順次積層させた構造となっていることを特徴とする。

【0028】上記の(2)の構成は、磁気抵抗効果膜が、反強磁性体層、1層以上の磁性膜からなるピン層、非磁性層、1層以上の磁性膜からなるフリー層4、非磁性層5、1層以上の磁性膜からなるピン層6、及び、反強磁性体層7を順次積層させた構造からなるデュアルスピ

ンバルブ素子に適用することによって、デュアルスピ

ンバルブ素子の読取感度を向上することができる。なお、肉薄部8は、基板1側の反強磁性体層、或いは、磁気抵抗効果膜の最上部の反強磁性体層7の少なく

6

とも一方に設ければ良いものであり、両方に設けた場合に、狭リードギャップ化の効果が最大となる。

【0029】

【発明の実施の形態】ここで、図2及び図3を参照して、本発明の第1の実施の形態のスピバルブ素子の製造工程を説明する。

図2(a) 参照

まず、 $Al_2O_3-TiC$ 基板11上にスパッタリング法を厚さ $2\mu m$ の $Al_2O_3$ 膜12を堆積させたのち、選択電解メッキ法を用いて、 $1000e$ の磁界を印加しながら、厚さが、例えば、 $3\mu m$ の $NiFe$ 膜を形成して下部シールド層13とし、次いで、スパッタリング法を用いて、厚さが、例えば、 $500\text{\AA}$ ( $=50nm$ )の $Al_2O_3$ 膜を堆積させて下部リードギャップ層14とする。

【0030】次いで、スピバルブ膜として、 $300e$ の磁界を印加しながらスパッタリング法を用いて、下地層となる厚さが、例えば、 $50\text{\AA}$ のTa膜15を形成したのち、厚さが、例えば、 $40\text{\AA}$ の $NiFe$ フリー層16、厚さが、例えば、 $25\text{\AA}$ の $CoFe$ フリー層17、厚さが、例えば、 $25\text{\AA}$ のCu中間層18、厚さが、例えば、 $25\text{\AA}$ の $CoFe$ ピン層19、及び、厚さが $100\sim300\text{\AA}$ 、例えば、 $250\text{\AA}$ の $PdPtMn$ 反強磁性体層20を順次積層させる。なお、この場合の $NiFe$ の組成は、例えば、 $Ni_{81}Fe_{19}$ であり、 $CoFe$ の組成は、例えば、 $Co_{90}Fe_{10}$ であり、また、 $PdPtMn$ の組成は、例えば、 $Pd_{31}Pt_{17}Mn_{52}$ である。

【0031】次いで、 $CoFe$ ピン層19の磁化方向を固定するために、成膜時に印加した磁界と直交する方向の $100kA/m$ の直流磁場を印加しながら、真空中で $230^\circ C$ で1～3時間の熱処理を行うことによって $PdPtMn$ 反強磁性体層20の磁化方向を印加した直流磁場の方向とする。なお、この場合、 $230^\circ C$ の熱処理工程において、Cu中間層18を構成するCuと $NiFe$ フリー層16との間の相互拡散が生じないように、両者の間にバリア層となる $CoFe$ フリー層17を設けてフリー層を2層構造としている。

【0032】図2(b) 参照

次いで、レジストパターン21をマスクとして $Ar$ イオンを用いたイオンミリングを施すことによって、 $PdPtMn$ 反強磁性体層20の読取領域となる部分のみを $20\sim100\text{\AA}$ 、例えば、 $50\text{\AA}$ 残すようにエッチングして、厚さが、例えば、 $50\text{\AA}$ の薄層化部22を形成する。

【0033】図3(c) 参照

次いで、レジストパターン21を除去したのち、新たにフォトリソを塗布し、パターンニングすることによって形成したレジストパターン23をマスクとして $Ar$ イオンを用いたイオンミリングを施すことによって、 $PdPtMn$ 反強磁性体層20乃至Ta膜15を選択エッチ

7

ングすることによって素子形状に整形する。

【0034】図3(d)参照

次いで、レジストパターン23を除去したのち、レジストパターン(図示せず)を用いたリフトオフ法によって厚さが、例えば、1200ÅのW膜を堆積することによって、1対のリード電極24を形成し、次いで、再び、スパッタリング法によって、厚さが、例えば、500ÅのAl<sub>2</sub>O<sub>3</sub>膜を堆積させて、上部リードギャップ層2

$$d = 500 + 50 + 40 + 25 + 25 + 25 + 50 + 500 \\ = 1215 \text{ (Å)}$$

となり、薄層化部22を設けない場合の1415Åに比べて約15%程度の狭ギャップ化が可能になる。

【0036】この様に、PdPtMn反強磁性体層20の読取領域に薄層化部22を設けた場合、CoFeピンド層19の薄層化部22に対応する領域の直接的な磁化方向固定力は弱まるものの、読み取りには関与しない十分な厚さを有するPdPtMn反強磁性体層20の両端によりバイアスされたCoFeピンド層19の両端に作用する磁化方向固定力によりCoFeピンド層19の中央部の磁化方向固定力も補われるので、特性が劣化することがない。

【0037】次に、図4及び図5を参照して、本発明の第2の実施の形態のデュアルスピンバルブ素子の製造工程を説明する。

図4(a)参照

まず、Al<sub>2</sub>O<sub>3</sub>-TiC基板11上にスパッタリング法を厚さ2μmのAl<sub>2</sub>O<sub>3</sub>膜12を堆積させたのち、選択電解メッキ法を用いて、1000eの磁界を印加しながら、厚さが、例えば、3μmのNiFe膜を形成して下部シールド層13としたのち、再び、レジストパターン27をマスクとした選択電解メッキ法を用いて、1000eの磁界を印加しながら、厚さが、例えば、200Åで、幅が0.5μmのNiFe盛り上げ部28を形成する。

【0038】図4(b)参照

次いで、レジストパターン27を除去したのち、スパッタリング法を用いて、厚さが、例えば、500ÅのAl<sub>2</sub>O<sub>3</sub>膜を堆積させて下部リードギャップ層14とし、次いで、レジストパターン29を設けたのち、300eの磁界を印加しながらスパッタリング法を用いて、厚さが、例えば、200ÅのPdPtMn膜を堆積させて、NeFe盛り上げ部28による段差を埋め込むPdPtMn肉厚部30を形成する。

【0039】図4(c)参照

次いで、レジストパターン29を除去することによって、レジストパターン29上に堆積したPdPtMn膜(図示せず)も同時に除去したのち、再び、300eの磁界を印加しながらスパッタリング法を用いて、厚さが、例えば、50ÅのPdPtMn薄膜部31、厚さが、例えば、25ÅのCoFeピンド層32、厚さが、

8

5とし、次いで、選択電解メッキ法によって、厚さが、例えば、3.8μmのNiFe膜を成膜して上部シールド層26とすることによってシングルスピンバルブ素子の基本構成が完成する。

【0035】この場合のリードギャップdは、薄層化部22を設けた位置における下部シールド層13と上部シールド層26との間の間隔となり、したがって、

例えば、25ÅのCu中間層33、厚さが、例えば、25ÅのCoFe膜/20ÅのNiFe膜/25ÅのCoFeからなる3層構造のフリー層34、厚さが、例えば、25ÅのCu中間層18、厚さが、例えば、25ÅのCoFeピンド層19、及び、厚さが100~300Å、例えば、250ÅのPdPtMn反強磁性体層20を順次積層させる。なお、この場合も、NiFeの組成は、例えば、Ni<sub>81</sub>Fe<sub>19</sub>であり、CoFeの組成は、例えば、Co<sub>90</sub>Fe<sub>10</sub>であり、また、PdPtMnの組成は、例えば、Pd<sub>31</sub>Pt<sub>17</sub>Mn<sub>52</sub>である。

【0040】次いで、CoFeピンド層19、32の磁化方向を固定するために、成膜時に印加した磁界と直交する方向の100kA/mの直流磁場を印加しながら、真空中で230℃で1~3時間の熱処理を行うことによってPdPtMn反強磁性体層20、PdPtMn肉厚部30、及び、PdPtMn薄膜部31の磁化方向を印加した直流磁場の方向とする。なお、この場合も、230℃の熱処理工程において、Cu中間層18、33を構成するCuとフリー層34を構成するNiFeとの間の相互拡散が生じないように、Cu中間層18、33とNiFe膜との間にバリア層となるCoFe膜を設けてフリー層34を3層構造としている。

【0041】図5(d)参照

次いで、上記の第1の実施の形態における図2(b)以降の工程と同様に、レジストパターン(図示せず)をマスクとしてArイオンを用いたイオンミリングを施すことによって、PdPtMn反強磁性体層20の読取領域となる部分のみを20~100Å、例えば、50Å残すようにエッチングして、厚さが、例えば、50Åの薄層化部22を形成する。

【0042】次いで、レジストパターンを除去したのち、新たにフォトリソを塗布し、パターンニングすることによって形成したレジストパターン(図示せず)をマスクとしてArイオンを用いたイオンミリングを施すことによって、PdPtMn反強磁性体層20乃至PdPtMn肉厚部30を選択エッチングすることによって素子形状に整形する。

【0043】次いで、レジストパターンを除去したのち、再び、レジストパターン(図示せず)を用いたリフトオフ法によって厚さが、例えば、1200ÅのW膜を

9

堆積することによって、1対のリード電極24を形成し、次いで、再び、スパッタリング法によって、厚さが、例えば、500Åの $\text{Al}_2\text{O}_3$ 膜を堆積させて、上部リードギャップ層25とし、次いで、選択電解メッキ法によって、厚さが、例えば、3.8 $\mu\text{m}$ の $\text{NiFe}$ 膜を成膜して上部シールド層26とすることによってデュアルスピバルブ素子の基本構成が完成する。

【0044】この場合のリードギャップdは、薄層化部22及び $\text{NiFe}$ 盛り上げ部28を設けた位置における下部シールド層13と上部シールド層26との間の間隔となり、したがって、 $d=500+50+25+25+25+20+25+25+25+50+500=1270$ (Å)となり、薄層化部22及び $\text{NiFe}$ 盛り上げ部28を設けない場合の1670Åに比べて約24%程度の狭ギャップ化が可能になる。

【0045】この場合も、 $\text{PdPtMn}$ 反強磁性体層20の読取領域に薄層化部22を設けた場合、 $\text{CoFe}$ ピンド層19の薄層化部22に対応する領域の直接的な磁化方向固定力は弱まるものの、読み取りには関与しない十分な厚さを有する $\text{PdPtMn}$ 反強磁性体層20の両端によりバイアスされた $\text{CoFe}$ ピンド層19の両端に作用する磁化方向固定力により $\text{CoFe}$ ピンド層19の中央部の磁化方向固定力も補われ、また、 $\text{CoFe}$ ピンド層32に対しても、読み取りには関与しない十分な厚さを有する $\text{PdPtMn}$ 肉厚部30によりバイアスされた $\text{CoFe}$ ピンド層32の両端に作用する磁化方向固定力により $\text{CoFe}$ ピンド層32の中央部の磁化方向固定力も補われるので、特性が劣化することがない。

【0046】次に、図6を参照して、本発明の第1及び第2の実施の形態の変形例の説明する。

図6(a)参照

図6(a)は、本発明の第1の実施の形態の変形例であり、図に示すように、反強磁性体層を基板側に設けたスピバルブに対して肉薄部を設けたものであり、このような構造を形成するためには、上記の第2の実施の形態における図3(a)～図3(b)における $\text{NiFe}$ 盛り上げ部28及び $\text{PdPtMn}$ 肉厚部30の形成工程をそのまま用いれば良いものであり、得られる狭リードギャップ化の効果は上記の第1の実施の形態と同様である。

【0047】この第1の実施の形態の変形例の場合には、第1の実施の形態よりも製造工程が複雑化するが、表面を平坦化することができるので、上部シールド層26上に、上部シールド層26を下部磁極層とするインダクティブヘッドを設けて複合型磁気ヘッドを構成する場合に、インダクティブヘッドのパターニングを精度良く行うことができる。

【0048】図6(b)参照

図6(b)は、本発明の第2の実施の形態の変形例であり、図に示すように、 $\text{NiFe}$ 盛り上げ部28を設けることなく、下部リードギャップ層14上に厚さが、例え

10

ば250Åの $\text{PdPtMn}$ 反強磁性体層35を堆積させたのち、 $\text{CoFe}$ ピンド層32の堆積工程以降の工程は、上記の第2の実施の形態と全く同様にすれば良いものである。

【0049】この、第2の実施の形態の変形例の場合には、第2の実施の形態よりも製造工程が簡素化するが、狭リードギャップ化の効果は、第2の実施の形態の半分となる。

【0050】なお、図示は省略するが、デュアルスピバルブ素子を構成する $\text{PdPtMn}$ 反強磁性体層の一方にのみ肉薄部を設ける場合には、図6(b)の場合とは反対に、基板側に設けた $\text{PdPtMn}$ 反強磁性体層に設けても良いものであり、その場合には、上述の図4

(c)の工程まで同様に形成したのち、薄層化部22を設けることなく、リード電極24、上部リードギャップ層25、及び、上部シールド層26を設ければ良いものである。

【0051】以上、本発明の各実施の形態を説明してきたが、本発明は各実施の形態に記載した構成に限られるものではなく、各種の変更が可能である。例えば、上記の各実施の形態の説明においては、反強磁性体層として $\text{Mn}$ 系規則合金型反強磁性材料である $\text{PdPtMn}$ を用いているが、必ずしも、 $\text{Mn}$ 系規則合金型反強磁性材料である必要はなく、例えば、 $\text{Mn}$ 系不規則合金型反強磁性材料である $\text{IrMn}$ を用いても良いものであり、その場合には、堆積した $\text{IrMn}$ が反強磁性特性を有するように、下地層の結晶構造を考慮する必要がある。

【0052】また、上記の各実施の形態においては、 $\text{NiFe}$ 、 $\text{CoFe}$ 、及び、 $\text{PdPtMn}$ として、夫々、 $\text{Ni}_{81}\text{Fe}_{19}$ 、 $\text{Co}_{90}\text{Fe}_{10}$ 、及び、 $\text{Pd}_{31}\text{Pt}_{17}\text{Mn}_{52}$ を用いているが、このような組成比に限られるものではなく、必要とする磁気特性及び加工特性等に応じて適宜組成比を選択すれば良いものである。

【0053】また、上記の本発明の各実施の形態の説明においては、基板として $\text{Al}_2\text{O}_3\text{-TiC}$ 基板を用いているが、表面に $\text{SiO}_2$ 膜を形成した $\text{Si}$ 基板或いはガラス基板等の基板を用いても良いものであり、また、強磁性体及び反強磁性体としても、実施の形態に記載した以外の通常に用いられている強磁性体及び反強磁性体を用いても良いものである。

【0054】また、上記の第2の実施の形態の説明においては、 $\text{NiFe}$ 盛り上げ部28を形成する際に、選択電解メッキ法を用いているが、選択電解メッキ法に限られるものではなく、例えば、厚めに堆積させた下部シールド層をレジストパターンをマスクとして $\text{Ar}$ イオンを用いたイオンミリングにより周囲をエッチングすることによって凸状構造体を形成しても良いものである。

【0055】また、上記の第2の実施の形態の説明においては、 $\text{PdPtMn}$ 肉厚部30をリフトオフ法により形成しているが、リフトオフ法に限られるものではな

## 11

く、PdPtMn膜を表面が略平坦になるように厚く形成し、エッチバック或いはCMP (Chemical Mechanical Polishing) 加工を行うことによって形成しても良く、さらには、エッチバック或いはCMP工程を途中でやめて、厚さが50Å程度のPdPtMn薄膜部が残るようにしても良いものである。

## 【0056】

【発明の効果】本発明によれば、スピンバルブ膜を構成する反強磁性体層の読取領域に対応する部分の層厚を他の部分に比べて薄くしているのので、磁気特性を劣化することなく実効的なリードギャップを狭くすることができ、それによって、磁気抵抗効果素子を用いたMRヘッドの位置分解能を向上することができ、ひいては、高記録密度のHDD装置の普及に寄与するところが多い。

## 【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態のスピンバルブ素子の途中までの製造工程の説明図である。

【図3】本発明の第1の実施の形態のスピンバルブ素子の図2以降の製造工程の説明図である。

【図4】本発明の第2の実施の形態のデュアルスピンバルブ素子の途中までの製造工程の説明図である。

【図5】本発明の第2の実施の形態のデュアルスピンバルブ素子の図4以降の製造工程の説明図である。

【図6】本発明の第1及び第2の実施の形態の変形例の説明図である。

【図7】従来のスピンバルブ素子の説明図である。

【図8】リードギャップと記録密度の関係の説明図である。

## 【符号の説明】

- 1 基板
- 2 磁気シールド層
- 3 リードギャップ層
- 4 フリー層
- 5 非磁性層
- 6 ビンド層
- 7 反強磁性体層
- 8 肉薄部
- 9 リードギャップ層
- 10 磁気シールド層
- 11  $Al_2O_3-TiC$  基板

- 12  $Al_2O_3$  膜
- 13 下部シールド層
- 14 下部リードギャップ層
- 15 Ta膜
- 16 NiFeフリー層
- 17 CoFeフリー層
- 18 Cu中間層
- 19 CoFeビンド層
- 20 PdPtMn反強磁性体層
- 21 レジストパターン
- 22 薄層化部
- 23 レジストパターン
- 24 リード電極
- 25 上部リードギャップ層
- 26 上部シールド層
- 27 レジストパターン
- 28 NiFe盛り上げ部
- 29 レジストパターン
- 30 PdPtMn肉厚部
- 31 PdPtMn薄膜部
- 32 CoFeビンド層
- 33 Cu中間層
- 34 フリー層
- 35 PdPtMn反強磁性体層
- 41  $Al_2O_3-TiC$  基板
- 42  $Al_2O_3$  膜
- 43 下部シールド層
- 44 下部リードギャップ層
- 45 フリー層
- 46 Cu中間層
- 47 ビンド層
- 48 反強磁性体層
- 49 リード電極
- 50 上部リードギャップ層
- 51 上部シールド層
- 52 反強磁性体層
- 53 ビンド層
- 54 Cu中間層
- 55 磁気抵抗効果素子
- 56 磁気記録媒体
- 57 記録ビット

10

20

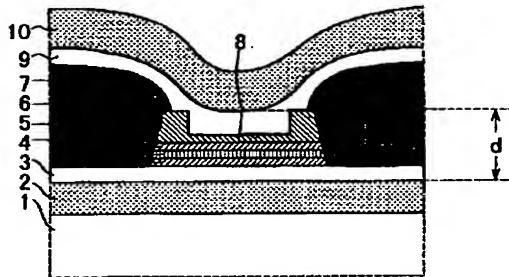
30

40



【図1】

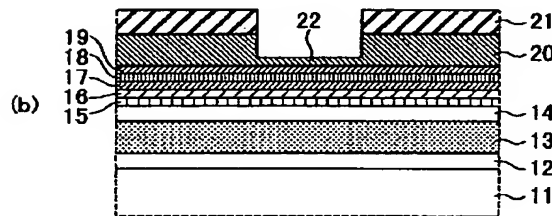
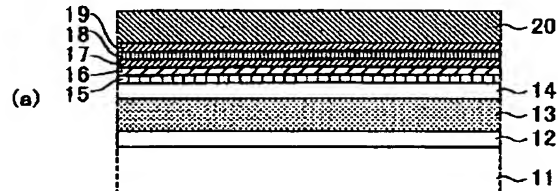
本発明の原理的構成の説明図



- |              |              |
|--------------|--------------|
| 1 : 基板       | 6 : ビンド層     |
| 2 : 磁気シールド層  | 7 : 反強磁性体層   |
| 3 : リードギャップ層 | 8 : 肉厚部      |
| 4 : フリー層     | 9 : リードギャップ層 |
| 5 : 非磁性層     | 10 : 磁気シールド層 |

【図2】

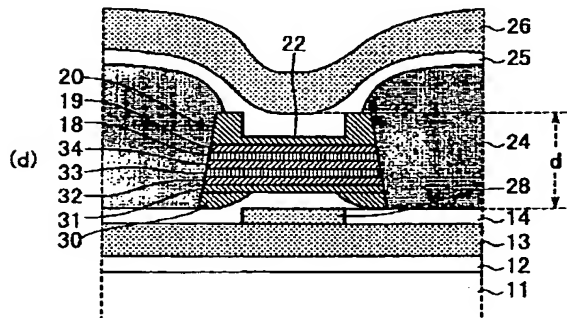
本発明の第1の実施の形態のスピナバルブ素子の途中までの製造工程の説明図



- |                       |                   |
|-----------------------|-------------------|
| 11 : $Al_2O_3-TiC$ 基板 | 17 : CoFeフリー層     |
| 12 : $Al_2O_3$ 膜      | 18 : Cu中間層        |
| 13 : 下部シールド層          | 19 : CoFeビンド層     |
| 14 : 下部リードギャップ層       | 20 : PdPtMn反強磁性体層 |
| 15 : Ta膜              | 21 : レジストパターン     |
| 16 : NiFeフリー層         | 22 : 薄層化部         |

【図5】

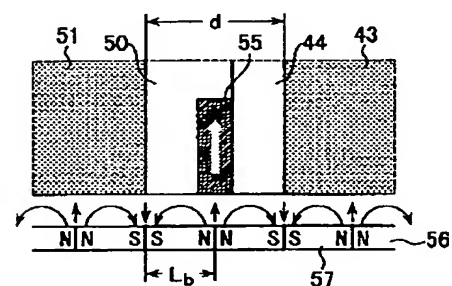
本発明の第2の実施の形態のデュアルスピナバルブ素子の図4以降の製造工程の説明図



- |                       |                 |
|-----------------------|-----------------|
| 11 : $Al_2O_3-TiC$ 基板 | 24 : リード電極      |
| 12 : $Al_2O_3$ 膜      | 25 : 上部リードギャップ層 |
| 13 : 下部シールド層          | 26 : 上部シールド層    |
| 14 : 下部リードギャップ層       | 28 : NiFe盛り上げ部  |
| 18 : Cu中間層            | 30 : PdPtMn肉厚部  |
| 19 : CoFeビンド層         | 31 : PdPtMn薄膜部  |
| 20 : PdPtMn反強磁性体層     | 32 : CoFeビンド層   |
| 22 : 薄層化部             | 33 : Cu中間層      |
|                       | 34 : フリー層       |

【図8】

リードギャップと記録密度の関係の説明図

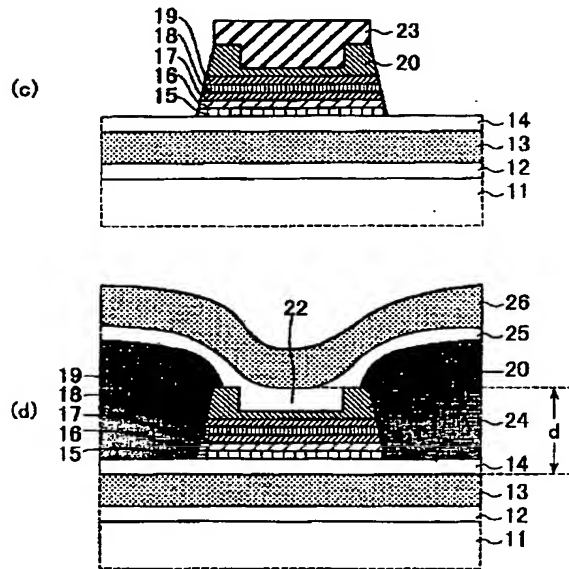


- |                 |               |
|-----------------|---------------|
| 43 : 下部シールド層    | 55 : 磁気抵抗効果素子 |
| 44 : 下部リードギャップ層 | 56 : 磁気記録媒体   |
| 50 : 上部リードギャップ層 | 57 : 記録ビット    |
| 51 : 上部シールド層    |               |



【図 3】

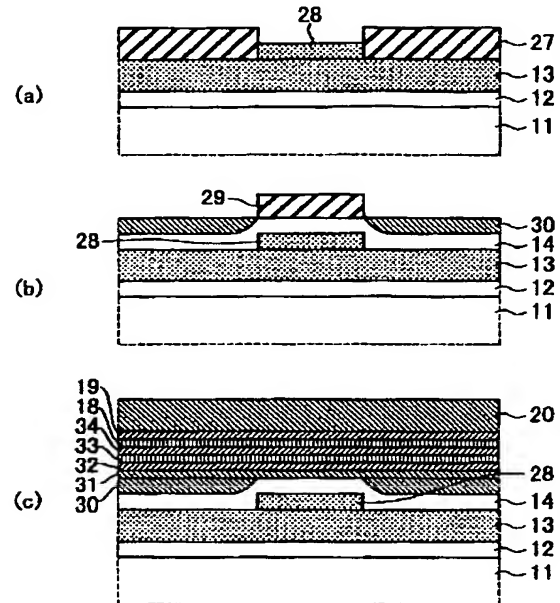
本発明の第1の実施の形態のスピバルブ素子の  
図2以降の製造工程の説明図



11:  $\text{Al}_2\text{O}_3$ -TiC基板 16: NiFeフリー層 22: 絶縁化部  
12:  $\text{Al}_2\text{O}_3$ 膜 17: CoFeフリー層 23: レジストパターン  
13: 下部シールド層 18: Cu中間層 24: リード電極  
14: 下部リードギャップ層 19: CoFeビンド層 25: 上部リードギャップ層  
15: Ta膜 20: PdPtMn反強磁性体層 26: 上部シールド層

【図 4】

本発明の第2の実施の形態のデュアルスピバルブ素子の  
途中までの製造工程の説明図

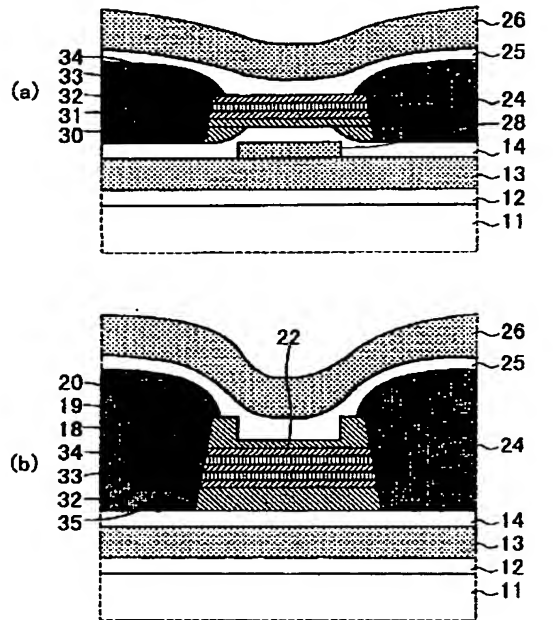


11:  $\text{Al}_2\text{O}_3$ -TiC基板 19: CoFeビンド層 30: PdPtMn肉厚部  
12:  $\text{Al}_2\text{O}_3$ 膜 20: PdPtMn反強磁性体層 31: PdPtMn薄膜部  
13: 下部シールド層 27: レジストパターン 32: CoFeビンド層  
14: 下部リードギャップ層 28: NiFe盛り上げ部 33: Cu中間層  
18: Cu中間層 29: レジストパターン 34: フリー層

【図 6】

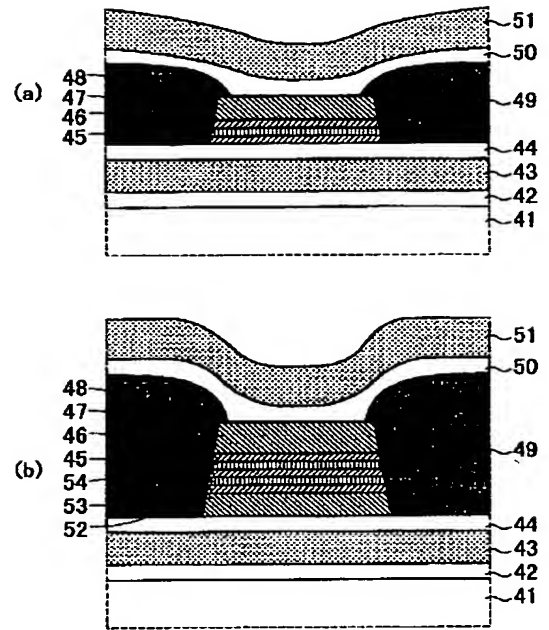
【図 7】

本発明の第1及び第2の実施の形態の変形例の説明図



- |                                    |                |              |
|------------------------------------|----------------|--------------|
| 11: $\text{Al}_2\text{O}_3$ -TiC基板 | 22: 溝部         | 32: CoFeビンド層 |
| 12: $\text{Al}_2\text{O}_3$ 膜      | 24: リード電極      | 33: Cu中間層    |
| 13: 下部シールド層                        | 25: 上部リードギャップ層 | 34: フリー層     |
| 14: 下部リードギャップ層                     | 26: 上部シールド層    | 35: PdPtMn   |
| 18: Cu中間層                          | 28: NiFe盛り上げ部  | 反強磁性体層       |
| 19: CoFeビンド層                       | 30: PdPtMn     |              |
| 20: PdPtMn                         | 盛り上げ部          |              |
| 反強磁性体層                             | 31: PdPtMn薄膜部  |              |

従来のスピナル素子の説明図



- |                                    |            |             |
|------------------------------------|------------|-------------|
| 41: $\text{Al}_2\text{O}_3$ -TiC基板 | 46: Cu中間層  | 51: 上部シールド層 |
| 42: $\text{Al}_2\text{O}_3$ 膜      | 47: ビンド層   | 52: 反強磁性体層  |
| 43: 下部シールド層                        | 48: 反強磁性体層 | 53: ビンド層    |
| 44: 下部リードギャップ層                     | 49: リード電極  | 54: Cu中間層   |
| 45: フリー層                           | 50: 上部リード  |             |
|                                    | ギャップ層      |             |

フロントページの続き

(72) 発明者 長坂 恵一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 田中 厚志

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

Fターム(参考) 5D034 BA05 BA15 BB08 CA06 CA08  
5E049 AA04 AA07 AA09 AC00 AC05  
BA12 BA16 CB01 CC01 DB04  
DB12 EB01 GC01